

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-174975

(43)Date of publication of application : 31.07.1987

(51)Int.Cl. H01L 29/80
 H01L 29/46
 H01L 29/91

(21)Application number : 61-017114

(71)Applicant : NEC CORP

(22)Date of filing : 28.01.1986

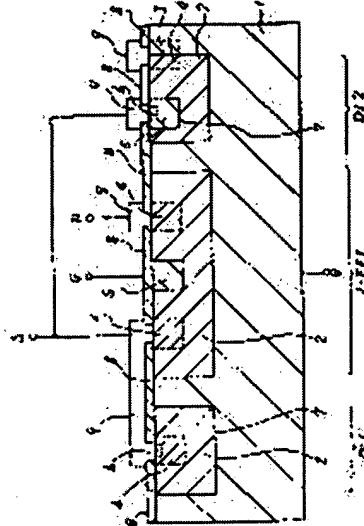
(72)Inventor : SAMEJIMA HIROYUKI
 HAGIMOTO YOSHIZO

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To shorten stabilization time of an electret capacitor microphone, by forming a silicide layer in an interconnection to a metal electrode of a P-N junction diode connected reversely and in parallel between a gate and a source of a junction-type field-effect transistor.

CONSTITUTION: In a diode section Di2, a P+ type semiconductor region 5 is formed within an N-type semiconductor region 2 surrounded by a P-type semiconductor region 1 to form a P-N junction 7. Silicide layers 6 are provided in interconnections to metal electrodes 9 in diode sections Di1 and Di2 so that strains are provided only in the diode sections by volume reduction. More particularly, strains are provided only in the diode sections by volume reduction which occurs during formation of the silicide layers, so that the life time of carriers is shortened to decrease the impedance.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

⑫公開特許公報 (A)

昭62-174975

⑯Int.Cl.⁴H 01 L 29/80
29/46
29/80
29/91

識別記号

府内整理番号

C-8122-5F
A-7638-5F
Z-8122-5F
A-7638-5F

⑬公開 昭和62年(1987)7月31日

審査請求 未請求 発明の数 1 (全4頁)

⑭発明の名称 半導体装置

⑫特 願 昭61-17114

⑬出 願 昭61(1986)1月28日

⑭発明者 鮫島 博之 東京都港区芝5丁目33番1号 日本電気株式会社内

⑭発明者 萩本 佳三 東京都港区芝5丁目33番1号 日本電気株式会社内

⑭出願人 日本電気株式会社 東京都港区芝5丁目33番1号

⑭代理人 弁理士 内原 晋

明細書

1. 発明の名称

半導体装置

2. 特許請求の範囲

接合型電界効果トランジスタのゲートとソースとの間にp-n接合型ダイオードが逆方向で並列に接続されている半導体装置において、核p-n接合型ダイオードが電極取り出し部にシリサイド層を有することを特徴とする半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置に関し、特にエレクトレットコンデンサマイクロホン(以降ECMと呼ぶ)に使用する接合型電界効果トランジスタ(以降J-FETと呼ぶ)に関するものである。

〔従来の技術〕

従来、この種のECM用J-FETは第4図に示

すような使い方をされる。第4図において、音声等がECMに入ると、ECMの振動板10が振動し、その容量変化がJ-FETのゲートGに伝えられ増幅する働きをする。このとき、J-FETの入力インピーダンスを下げてECMの安定時間を早める必要があり、第2図に示すようにゲートGとソースSとの間にp-n接合型ダイオードDi1およびDi2が逆方向・並列に接続された構成となっていた。

すなわち、ECM用J-FETは第5図に示すように、電源V_{DD}を投入すると、ゲートGの電位V_Gは時定数τ₁でピーク値V_{Gmax}になった後、放電されて定常値V_{G0}になる。この時の時定数τ₂を安定時間と呼んでいるが、ゲートG-ソースS間にダイオードが挿入されていない場合には放電がほとんどないため、安定時間は異常に長いものとなり、ECMが安定に働くまでに長時間を要することになる。

〔発明が解決しようとする問題点〕

上述した従来のECM用J-FETはゲートG -

ソース S 間に挿入されたダイオードにより、ダイオードが挿入されていない場合よりは入力インピーダンスは低くなり安定時間は短くなっているが、製品によっては、7~10秒要しており、電源投入直後は出力が歪んでしまい電話機等に使用する場合は支障があった。

p-n 接合ダイオードの電流-電圧特性 (V-I 特性) は次式(1)のように表わされ、ゲート G-ソース S 間のインピーダンスも次式(1)で決定されるダイオードが逆方向に接続されたものとして考えることができる。

$$I = qA \left(\frac{D_p}{L_p} p_n + \frac{D_n}{L_n} n_p \right) \left[\exp\left(\frac{qV}{mkT}\right) - 1 \right] \cdots (1)$$

A は接合面積、m は 1~2 の値をもつ定数、
D_p と D_n は正孔と電子の拡散定数、
L_p $\equiv \sqrt{D_p \tau_p}$ は正孔の拡散距離、
L_n $\equiv \sqrt{D_n \tau_n}$ は電子の拡散距離、
p_n は平衡状態における n 領域での正孔密度
 $\simeq n_i^2 / N_D$ 、

もつながる。③のキャリアのライフタイムを下げるとは熱歪を入れる等により比較的容易であり、従来の ECM 用 J-FET でも安定時間改善のため熱歪を入れたものもある。しかし熱歪を入れるということは、ダイオード部だけではなく J-FET 部にも歪が入ることになり、ノイズが大きくなってしまうという欠点がある。

〔問題点を解決するための手段〕

本発明の半導体装置は、接合型電界効果トランジスタのゲートとソースとの間に p-n 接合型ダイオードが逆方向で並列に接続されている半導体装置において、この p-n 接合型ダイオードが電極取り出し部にシリサイド層を有していることを特徴としている。

〔実施例〕

次に本発明について図面を参照して説明する。

第 1 図は本発明の一実施例の縦断面構造図である。J-FET 部、D_i 1 部、D_i 2 部を区分して示してある。J-FET 部は、P 型半導体領域 1 により取り囲まれた n 型半導体領域 2 内にゲート領

n_p は平衡状態における P 領域での電子密度

$$\simeq n_i^2 / N_A$$

n_i は室温 (300K) では n_i $\simeq 1.5 \times 10^{10} / \text{cm}^3$

N_D、N_A はドナーおよびアクセプタ濃度。

従来の ECM 用 J-FET の安定時間がやや長いといふ問題は、p-n 接合ダイオードのインピーダンスが高いことであり、インピーダンスを下げるには(1)式より、

- ① 接合面積 A を大きくする。
- ② p-n 接合ダイオードのドナーおよびアクセプタ濃度 N_D および N_A を小さくする。
- ③ キャリアのライフタイム τ_p, τ_n を小さくする。

ことにより可能である。

しかしながら①の接合面積を大きくすることはコスト上不利であり、また容量も大きくなってしまう。また②の p-n 接合ダイオードのドナー、アクセプタ濃度 N_D、N_A を小さくすることは、ダイオード部と J-FET 部との製造方法を変更しなければならず、工程が複雑になり、コスト up に

なる P⁺ 型半導体領域 5 と、ソース S 及びドレイン D のオーミックコンタクト領域 4 とが形成されている。ダイオード D_i 1 部は p 型半導体領域 1 により取り囲まれた n 型半導体領域 2 内に n⁺ 型オーミックコンタクト領域 4 が形成され、p 型半導体領域 1 と n 型半導体領域 2 とで p-n 接合部 7 が形成されている。ダイオード D_i 2 部は p 型半導体領域 1 により取り囲まれた n 型半導体領域 2 に P⁺ 型半導体領域 5 が形成され、n 型半導体領域 2 と P⁺ 型半導体領域 5 とで p-n 接合部 7 が形成されている。ダイオード D_i 1 部、D_i 2 部の金属電極 9 の取り出し部にはシリサイド層 6 が形成され、ダイオード部にのみ体積収縮により歪が入れられている。すなわち、シリサイド層形成の際に起る体積収縮により、ダイオード部にのみ歪を入れ、キャリアのライフタイム τ_p, τ_n を小さくしてインピーダンスを下げた構造となっている。

〔発明の効果〕

以上説明したように本発明は、ECM 用 J-FET

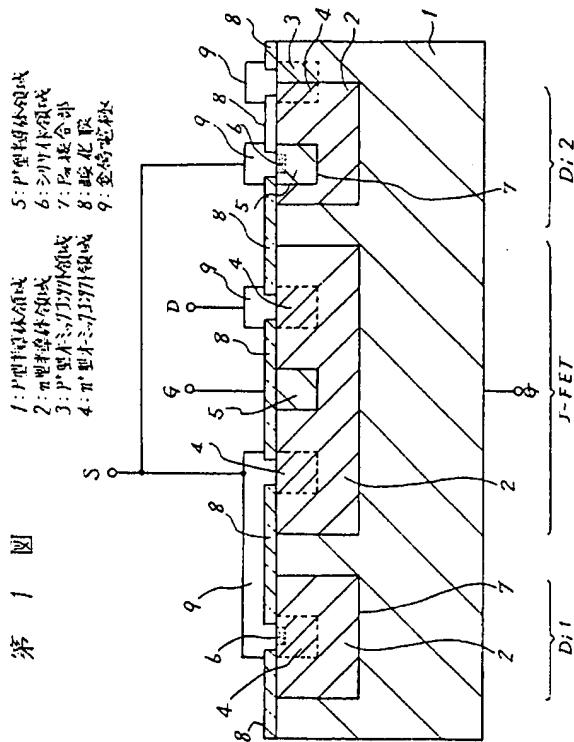
のゲートとソースとの間に逆方向で並列に接続されている p-n-p 接合ダイオードの金属電極取り出し部にシリサイド層を形成することにより、ダイオード部にのみ歪を入れることができるために、キャリアのライフタイム τ_p, τ_n を小さくしてインピーダンスを下げることができる。また、J-FET 部に歪が入らないためにノイズも大きくならず、使いやすい ECM 用 J-FET を得ることができるという効果がある。

4 図面の簡単な説明

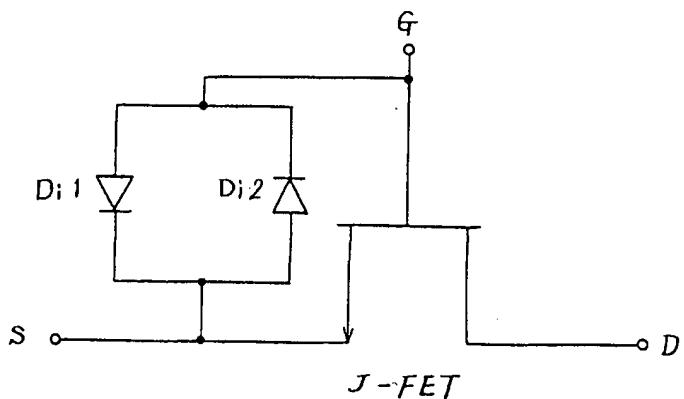
第1図は本発明の一実施例のECM用J-FETの縦断面構造図、第2図はECM用J-FETの等価回路図、第3図は従来のECM用J-FETの縦断面構造図、第4図はECMの構成図、第5図はゲート電圧 V_g の安定時間を説明するためのグラフである。

1 …… p 型半導体領域、 2 …… n 型半導体領域、
 3 …… p^+ 型ホーミックコンタクト領域、 4 ……

第一圖 1. P型膠原蛋白質
2. n型膠原蛋白質
3. P型膠原: n型膠原
4. n型膠原: P型膠原
5. P型膠原
6. n型膠原
7. 陽極部
8. 氧化膜



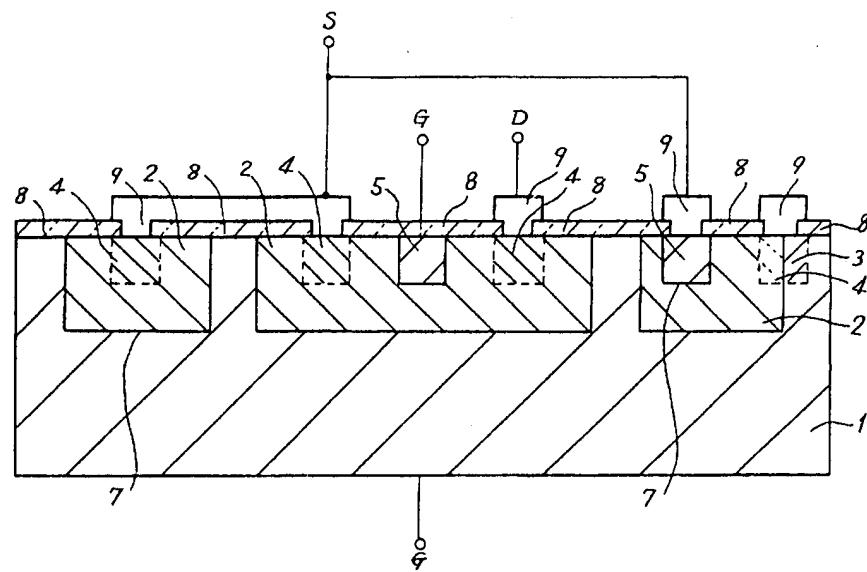
第 2 四



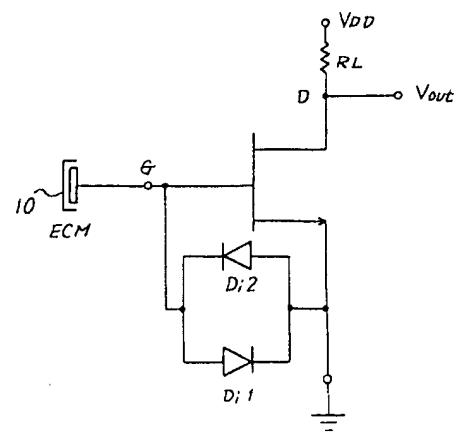
n^+ 型ホーミックコンタクト領域、5 …… p^+ 型半導体領域、6 ……シリサイド領域、7 …… $p\ n$ 接合部、8 ……酸化膜、9 ……金属電極、10 ……振動板。

代理人弁理士内原晋

第3図



第4図



第5図

